

(19) 日本国特許庁 (JP)	(20) 公開特許公報 (A)	(21) 特許出願公開番号
H 03 H 17/02	翻訳記号 D 8842-5 J	特開平7-221598
(22) 出願日 平成6年(1994)1月28日	(23) 公開日 平成7年(1995)8月18日	審査請求 未請求 請求項の数 8 O/L (全 14 項)

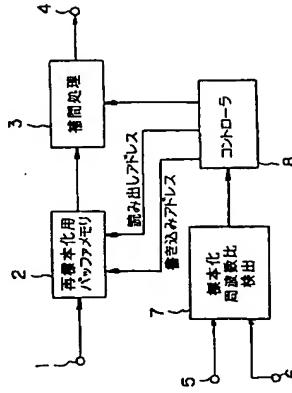
(24) 出願番号 特願平-8366	(25) (71) 出願人 000002185 ソニー株式会社
(26) (72) 発明者 安田 信行 東京都品川区北品川6丁目7番35号 ソニーフィルム	(27) (72) 発明者 安田 信行 東京都品川区北品川6丁目7番35号 ソニーフィルム
(28) (74) 代理人 並理士 小池 見 (外 2 名)	(29) (74) 代理人 並理士 小池 見 (外 2 名)
(30) (54) [発明の名稱] 標本化周波数変換装置	(31) (54) [要約]

(55) [要約]

【構成】 一定時間間隔的に標本化周波数が変化しない場合、再標本化用バッファメモリ2は、入力端子1から入力された入力標本化周波数データの入力端子2sに再標本化用バッファメモリ2に記憶する。標本化周波数回路3は、再標本化用バッファメモリ2からの出力端子3sに再標本化用バッファメモリ2からの読み出し端子3に接続する。標本化周波数回路3は、入力端子5から供給される入力標本化周波数F siと入力端子5から供給される出力標本化周波数F soとの現在の標本化周波数比R nを検出し、現在の標本化周波数比R nと一検出周期前の過去の検出值R n-1に基づいて新たな標本化周波数比R n NEWを検出す。コントローラ8は、新たな標本化周波数比R n NEWから再標本化用バッファメモリ2及び補間処理回路3を制御する。

【効果】 一定時間間隔的に標本化周波数が変化しない場合、再標本化用バッファメモリ2のデータの累積を発生させず、よってバッファメモリ2の容量を増大させることなく、かつ、変化速度及び変化量の制限を不要とする。

標本化周波数変換装置のブロック図



【請求項 2】 上記標本化周波数比検出手段は、新たな標本化周波数比R n、NEWを、現在の検出値R nの2倍の値2 R nから過去の検出値R n-1を減算して、
R n-1 = 2 R n - 1

の式により求めることを特徴とする請求項 1記載の標本化周波数変換装置。

【請求項 3】 上記標本化周波数比検出手段は、新たな標本化周波数比R n、NEWを、現在の検出値R nと、新たに標本化周波数比R nと過去の検出値R n-1との差分値△R nのk (k < 1) 倍位k△R nと、(1-k) m (△R n-m) のmの1から無限大までの項の総和としての無限級数とを加算して、
【数式 1】

$$R_n, NEW = R_n + k \Delta R_n + \sum_{m=1}^{\infty} (1-k)^m (\Delta R_n-m)$$

の式により求めることを特徴とする請求項 1記載の標本化周波数変換装置。

【請求項 4】 上記標本化周波数比検出手段は、上記入力信号の標本化周波数と上記任意の標本化周波数の検出値に基づいて新たな標本化周波数比を検出手する標本化周波数比検出手段と、
上記標本化周波数比検出手段及び上記補間処理手段を制御する制御手段とを有することを特徴とする請求項 1記載の標本化周波数変換装置。

【請求項 5】 上記補間手段は、上記制御手段により上記記憶手段から読み出された信号をクロックで、上記一方の標本化周波数の整数倍の周期で、上記一方の標本化周波数を計算することを特徴とする請求項 1記載の標本化周波数変換装置。

【請求項 6】 上記補間手段は、上記制御手段により上記記憶手段から読み出された信号に対して上記制御手段から供給される制御信号に応じたオーバーサンプリング処理を施すことにより機会った二回のオーバーサンプリングデータを求め、さらにこれら二回のオーバーサンプリングデータに直線補間を施すことを特徴とする請求項 1記載の標本化周波数変換装置。

【請求項 7】 上記標本化周波数比検出手段は、短い時間周期と長い時間周期で上記入力信号の標本化周波数の出力端子に帶域制限を施すことを特徴とする請求項 1記載の標本化周波数変換装置。

【請求項 8】 上記標本化周波数比検出手段は、短い時間周期で上記入力信号の標本化周波数比と長い時間周期での新たな標本化周波数比との所定の値内外での一致又は不一致を判別し、一致のときには上記短い時間周期での標本化周波数比、不一致のときには上記長い時間周期での標本化周波数比を、不一致のときには上記長い時間周期での標本化周波数比を検出手することを特徴とする請求項 1記載の標本化周波数変換装置。

【請求項 9】 一定時間間隔的に標本化周波数が変化しない場合、再標本化用バッファメモリ2及びコントローラ8も小型のディジタルオーディオデータ記録媒体とし、ディジタルオーディオデータ記録媒体においては、ディジタルオーディオ信号の再生装置に位相比較器と電圧制御器を組み合わせて、位相比較器が位相比較されるフェーズロックループ(以下、PLL)という。)を用いてクロックを生成している。しかし、このクロックを生成時にPLLのVCOによるジッタのためディジタル/アナログ(以下、D/A)という。)変換処理特性を劣化させてしまうことがある。このため、コンバータを用いて、オーディオ信号記録媒体を再生するような装置において、クオーツクロックを用いてディジタルオーディオ信号をD/A変換処理によりアナログオーディオ信号に変換し、その後にアノログオーディオ信号を伝送したほうが歪のないオーディオ信号を得ることができるという場合がある。

【請求項 10】 また現在、ディジタルオーディオ信号のソースとなる記録媒体、例えば、CD、CDよりも小型の光ディスク、DAT、DATよりも小型のディジタルオーディオデータ記録媒体においては、ディジタルオーディオデータ記録媒体は、例えば、44.1KHz、48KHz、32KHzのいずれかであり、統一されていない。また、記録媒体ではないがディジタルオーディオ信号のソースとなる断続品放送(以下、BSという。)も、標本化周波数変換装置。

ど、この標準化周波数比検出回路 7 の新たな標準化周波数比 Rn 、 NEW から再標準化用バッファメモリ 2 及び補間器 3 によって補間処理が施された周波数 Fs の信号 Ds を出力する。

[0030] 標準化周波数比検出回路 7 は、現在の標準化周波数比 Rn 、 NEW は、コントローラ 8 による。この新たな標準化周波数比 Rn 、 NEW は、コントローラ 8 に出力される。

[0031] コントローラ 8 は、標準化周波数比検出回路 7 から供給される新たな標準化周波数比 Rn 、 NEW に応じてデータ読み出しアドレスである再標準化時間アドレスを生成し、再標準化用バッファメモリ 2 に供給していく。また、コントローラ 8 は、再標準化用バッファメモリ 8 にデータ書き込みアドレスも供給している。また、コントローラ 8 は、上記新たな標準化周波数比 Rn 、 NEW に応じて、補間処理回路 3 で行われるオーバーサンプリング処理に使われるオーバーサンプリング信号と、直線補間処理に使われる先行リーディング用信号と、及び後追いトレーリング用の直線補間信号を生成し、補間処理回路 3 に供給している。

[0032] 補間処理回路 3 は、上記再標準化時間アドレスを基に再標準化用バッファメモリ 2 から必要なデータ群を読み出し、例えば非巡回データ F 、 IR などである。また、リルク処理により再標準化時間アドレスに合わせた二個の高次補間データを作り、さらにそれを各々のデータ上に線形補間を施してから加算を行うことによって出力標準化周波数 Fs の信号 Ds を生成する。

[0033] したがって、この第 1 実施例の標準化周波数比検出装置は、入力標準化周波数 Fs と出力標準化周波数 Fs から必要な標準化周波数比 Rn の検出値 Rn 及び過去の検出値 Rn に基づいて新たな標準化周波数比 Rn 、 NEW を求め、コントローラ 8 に出力している。このため、コントローラ 8 は、図 5 のような計算装置は、入力標準化周波数 Fs と出力標準化周波数 Fs の差の累積することなく、安定な標準化変換率を維持することができる。

[0034] 次に、第 2 実施例について図 3 乃至図 5 を参照しながら説明する。この第 2 実施例も図 3 に示す。うに、上述した第 1 実施例と同様に、入力端子 1 1 から入力された信号 Ds の標準化周波数比 Fs を再標準化し任意の標準化周波数比 Fs に変換する標準化装置、波数変換装置であり、入出力信号が完全に非同期な標準化周波数変換装置、すなわち、入出力信号間に同期制御信号無い自由変換装置、すなわち、入出力信号間に同期制御信号下、入力端子 Ds の標準化周波数比 Fs を入力標準化周波数変換装置を実現する。1

化周波数比 R_n の 2 倍の値から過去の検出値 R_{n-1} を減算して、新たな標準化周波数比 R_n 、 NEW を求めることとする。

OM16は、例えば、24ビット7ワードのオーバーサウント出力を上記NS・TSOを基にラッチするラッチ3を加算する加算器18とを構成する。ここに、算数用

【0038】カウンタ30でNs-Tsoを入力マスタークロックMCKiによりカウントし、そのカウント結果を32個持っています。

【0044】この初期処理回路1-4の動作を図5を参照

[0039] この標本化周波数比検出回路4は、上述したラッチ31でラッ奇することにより、前記セグメントの現在の標本化周波数比Rnが求められることになる。

過去の検出率R_{n-1}を算出して、新たに原本側回数比R_nを求める。これは、図2に示すように、現在のR_nを求める。

本研究では、Rnと過去の流出量R_{t-1}との関連性から、R_tを現在の済本比開波数Rnに加算することにより、新たなデーターを生成する。

なむち、新たに新規本化周波数比Rn/NEWは、上記(1)式を用いて算出される。

新たな標準化度数比 REi、NEiを加算回路 3 及びアリップフロップ回路 3 2 を用いて累積加算し、再転換用ノット 5 6 間隔の 25 56 F₅iの複合った 2つのデータである。

「フリップトップブリッジ用の手数料を選択料割引手数料へのオーバーサービング用の手数料を用いて、橋の必要回数1.4回の場合は2つの手数料に同じでから加算料割引手数料を1.61/1.70回の手数料を支払われる」

サンプリング用データ改変装置の構成要素及び動作手順は、
例えは、二つのデータ上のビット範囲、中立ビット
間を繋ぐことにより、この算出実例は、図5の
(D)に示すような標準化周波数 F_{std} のデータ D₆₀を生

範囲及び下位ビット範囲のデータとして、このコントロールコードから出力される。

【0042】ここで、フリップフロップ回路3-3は、D₁と直線初期係数としては、リーディング先行データ用係数IP.F[1]と、トレーリング後追いデータ用係数IP.

3.4からは、この第2実験例の出力信号の周基本回波波
8.75 fsに合わせて8 fsのクロックが供給されている。
F.T.がある。これらの直線部斜傾度は、コントーラ
2.5において、累積増加された値の下位のデータ、例え

[0050] 検波処理回路14から出力されるデータは、再原本データである。このF800のデータは、再原本データである。

フィルタ (L) $g_i \times LIP.F.L.1.1$ 及び FIR フィルタ (T) $g_i \times LIP.F.T.1.1$ と、これら FIR フィルタ (L) $g_i \times LIP.F.T.1.1$ が回波波数信号出力回路 1.9 に供給される。この形態本化回波波数信号出力回路 1.9 は、8.9.0 に開示した処理を施す。

P.F.L1.5及びF1Rファイル(T)?:XLP.F.T1.7に
オーバーサンプリング用の係数を供給する係数ROM1
F50のうちの1をマルチレクサ19aで切り換えるR

用いる標準化周波数比検出回路の構成を示すブロック図である。

【図10】本発明に他の実施例の標準化周波数比検出回路の構成を示すブロック図である。

【図11】本発明に他の実施例の標準化周波数比検出回路の構成を示すブロック図である。

【図12】図11に示す他の実施例の標準化周波数変換装置の標準化周波数比検出回路の動作を説明するための図である。

【図13】従来の標準化周波数変換装置に用いられる標準化周波数比検出回路の動作を説明するための図である。

標準化周波数比検出回路の動作を説明するための図である。

【符号の説明】

1 再標準化用バッファモリ

2 再標準化用バッファモリ

3 標準化用バッファモリ

4 標準化用バッファモリ

5 標準化用バッファモリ

6 標準化用バッファモリ

7 標準化用バッファモリ

8 コントローラ

9 8Fsオーバサンプリングフィルタ

10 再標準化用バッファモリ

11 再標準化用バッファモリ

12 標準化用バッファモリ

13 標準化用バッファモリ

14 標準化用バッファモリ

15 標準化用バッファモリ

16 標準化用バッファモリ

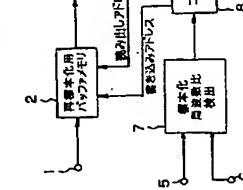
17 標準化用バッファモリ

18 標準化用バッファモリ

19 標準化用バッファモリ

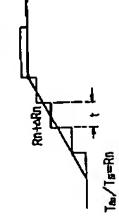
20 標準化用バッファモリ

【図11】



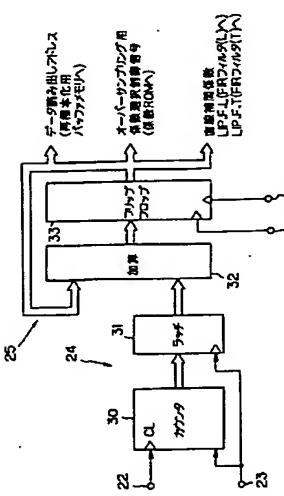
標準化周波数比検出回路の動作説明図

【図12】



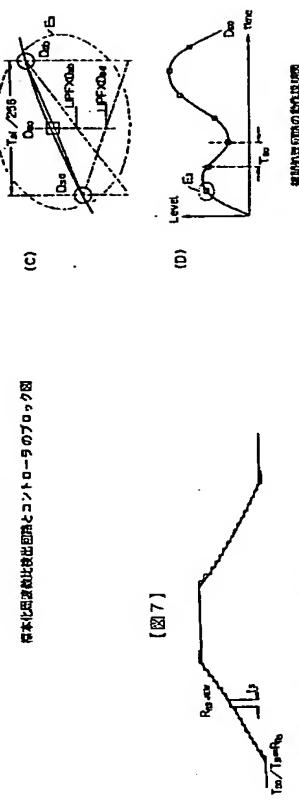
標準化周波数比検出回路の動作説明図

【図4】 標準化周波数比検出回路とコントローラのブロック図



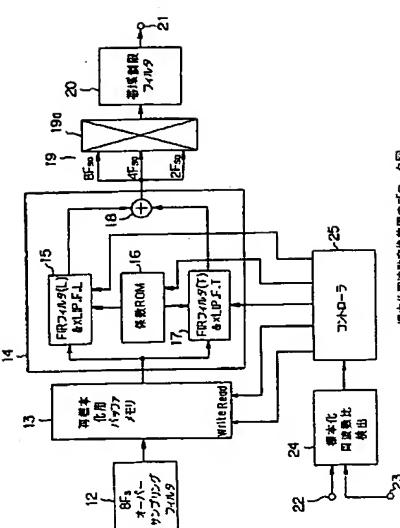
標準化周波数比検出回路とコントローラのブロック図

【図5】 標準化周波数比検出回路の動作説明図



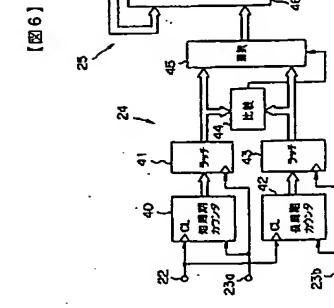
標準化周波数比検出回路の動作説明図

【図3】

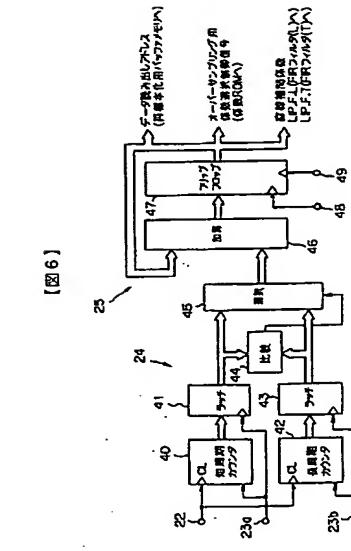


標準化周波数比検出回路の動作説明図

【図7】

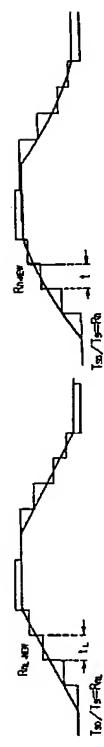


標準化周波数比検出回路とコントローラのブロック図



標準化周波数比検出回路とコントローラのブロック図

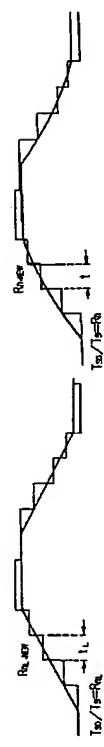
[図 8]



共振器での振本化周波数比検出回路の動作波形図

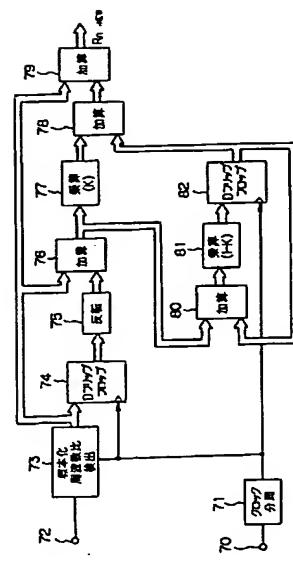
共振器での振本化周波数比検出回路の動作波形図

[図 12]



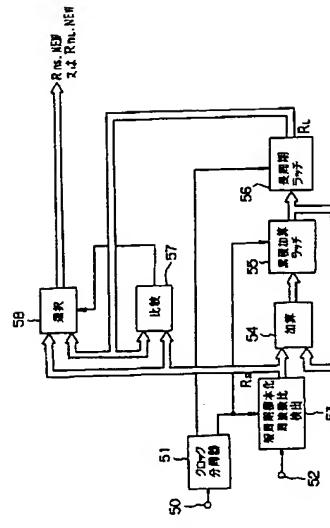
共振器での振本化周波数比検出回路の動作波形図

[図 12]



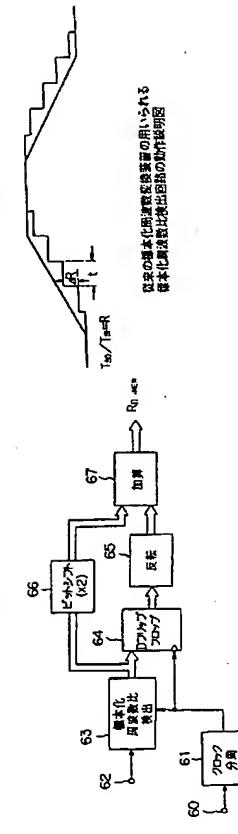
振本化周波数比検出回路のブロック図

[図 9]



振本化周波数比検出回路のブロック図

[図 10]



振本化周波数比検出回路のブロック図

振本化周波数比検出回路の動作波形図

特開平7-221598

[図 11]

振本化周波数比検出回路のブロック図

振本化周波数比検出回路の動作波形図